



# 積體電路設計研究所

Institute of Integrated Circuit Design



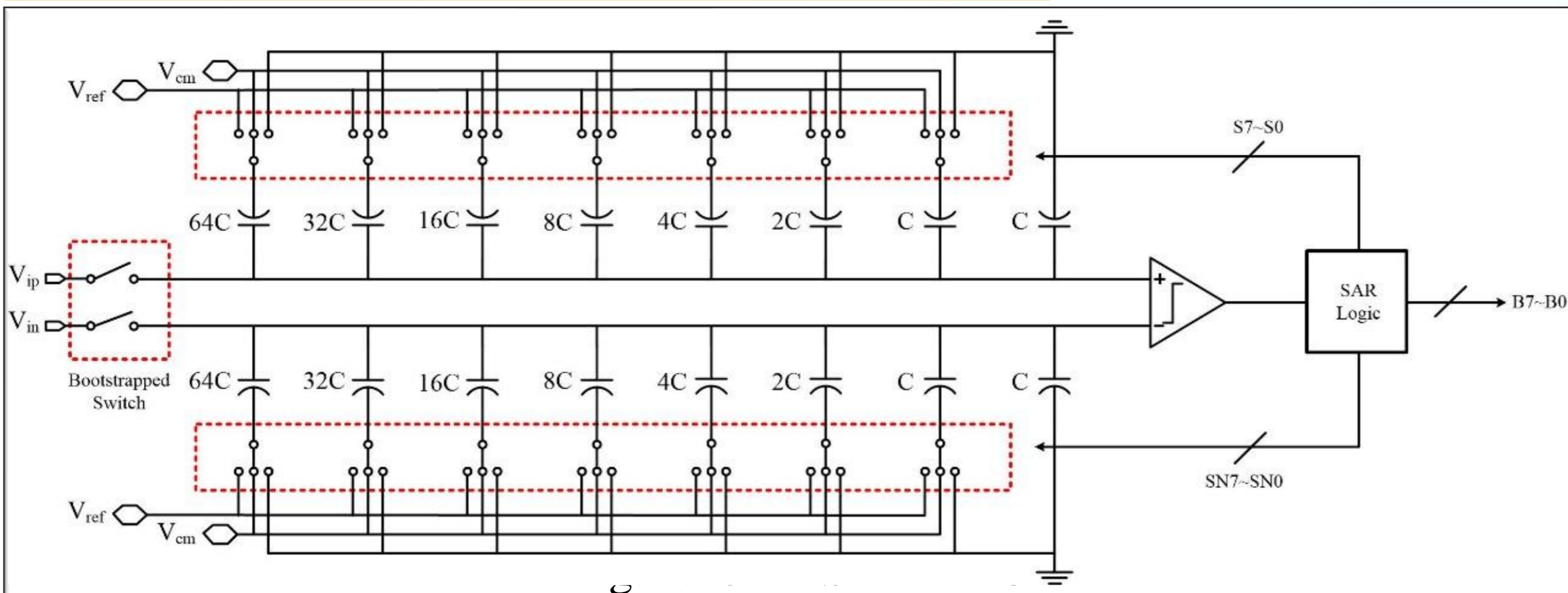
## A 125MS/s 8 bits $V_{cm}$ based SARADC in 16nm-ADFP Process

組員：何奕廷、陳家宥 指導教授：李宗哲

### 專題摘要

本次實作希望在 16nm FinFET ADFP 製程下設計一款逐次逼近式類比數位轉換器，並針對開關切換方式進行優化，將傳統 Monotonic Switching 改成  $V_{CM}$ -based Switching，再加入異步邏輯以減少對高頻時鐘訊號的依賴。

### 技術原理&系統架構圖



1. 透過給SAR ADC中的DAC不同的數位輸入來產生不同的輸出電壓，並將輸出電壓與取樣電壓進行逐次比較，以此來確定最終數位輸出。
2. 在取樣階段，Bootstrapped Switch會接通，將電壓取樣到電容陣列中，此時電容下極板接到共模電壓，取樣階段結束後立即進行第一次比較。
3. 根據比較器比較結果決定電容下極板開關的連接方式，若比較器輸出為高電平，電容下極板連接至參考電壓，反之若輸出為低電平，電容下極板連接至地。
4. 每次比較器比較完成後，將比較器輸出存入暫存器，經過八次比較後，八個暫存器中的數值即為最終的數位輸出。

### 電路圖

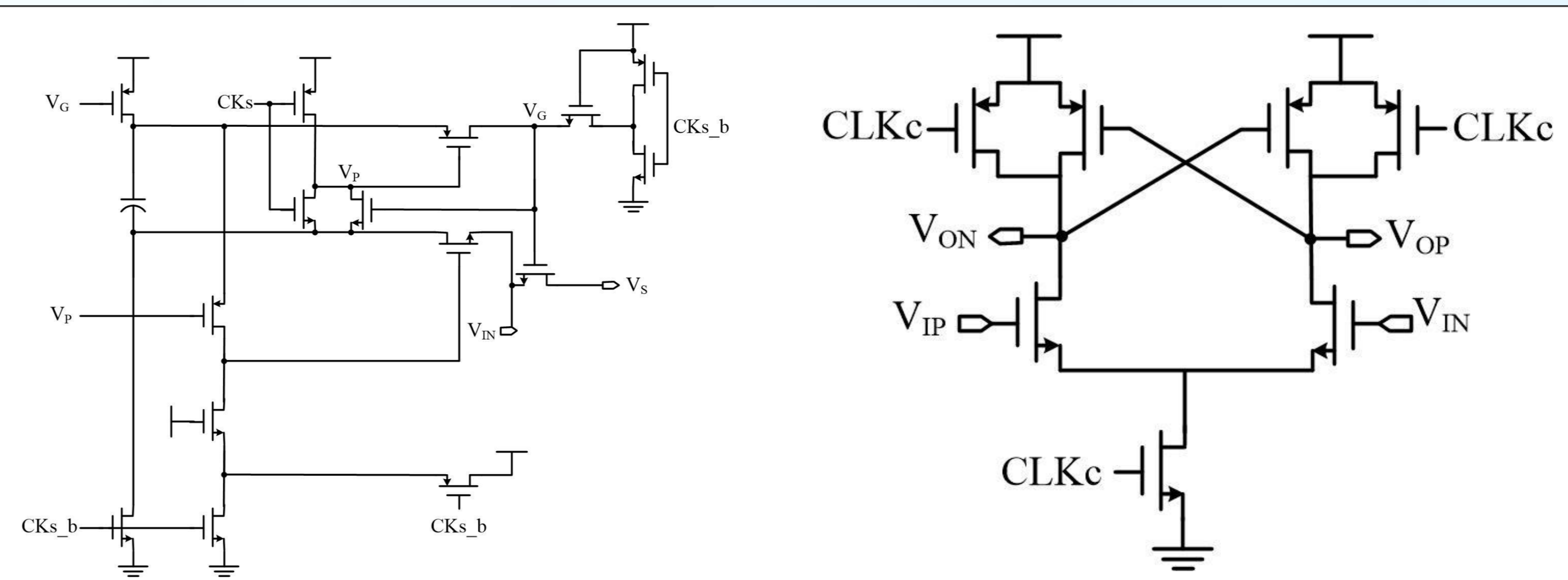


Fig. 2. Bootstrapped Switch

Fig. 3. Comparator

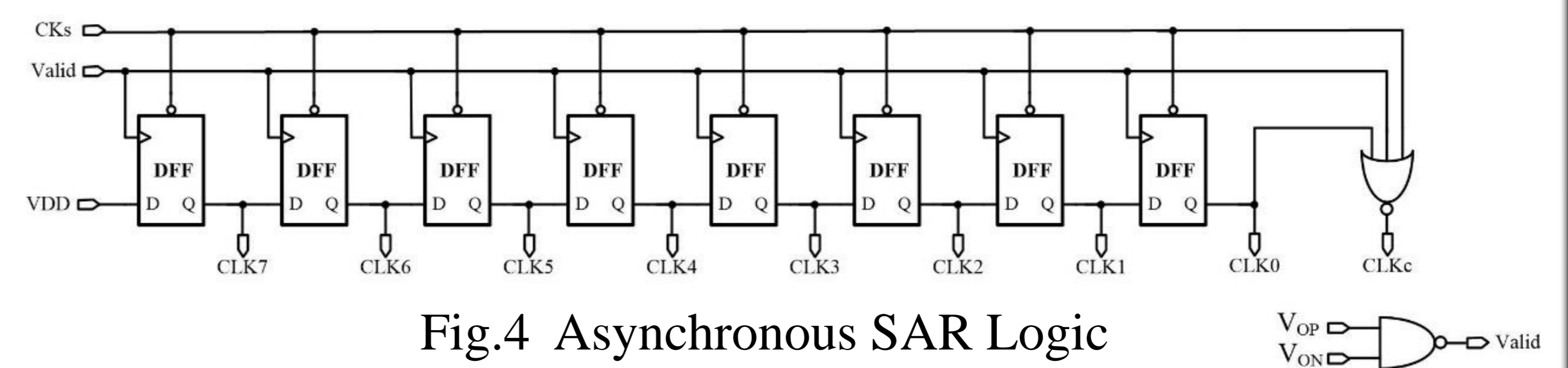


Fig.4 Asynchronous SAR Logic

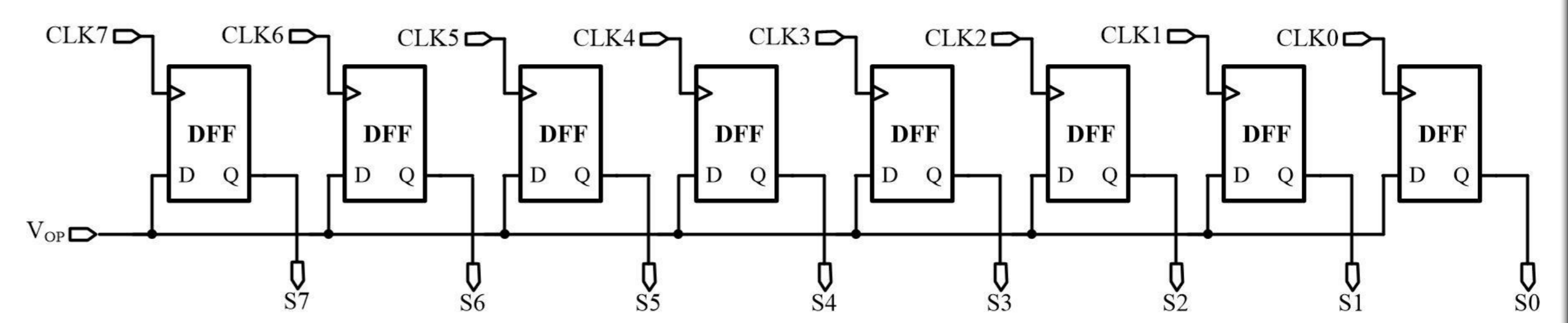


Fig. 5. Control Logic

### 作品成果

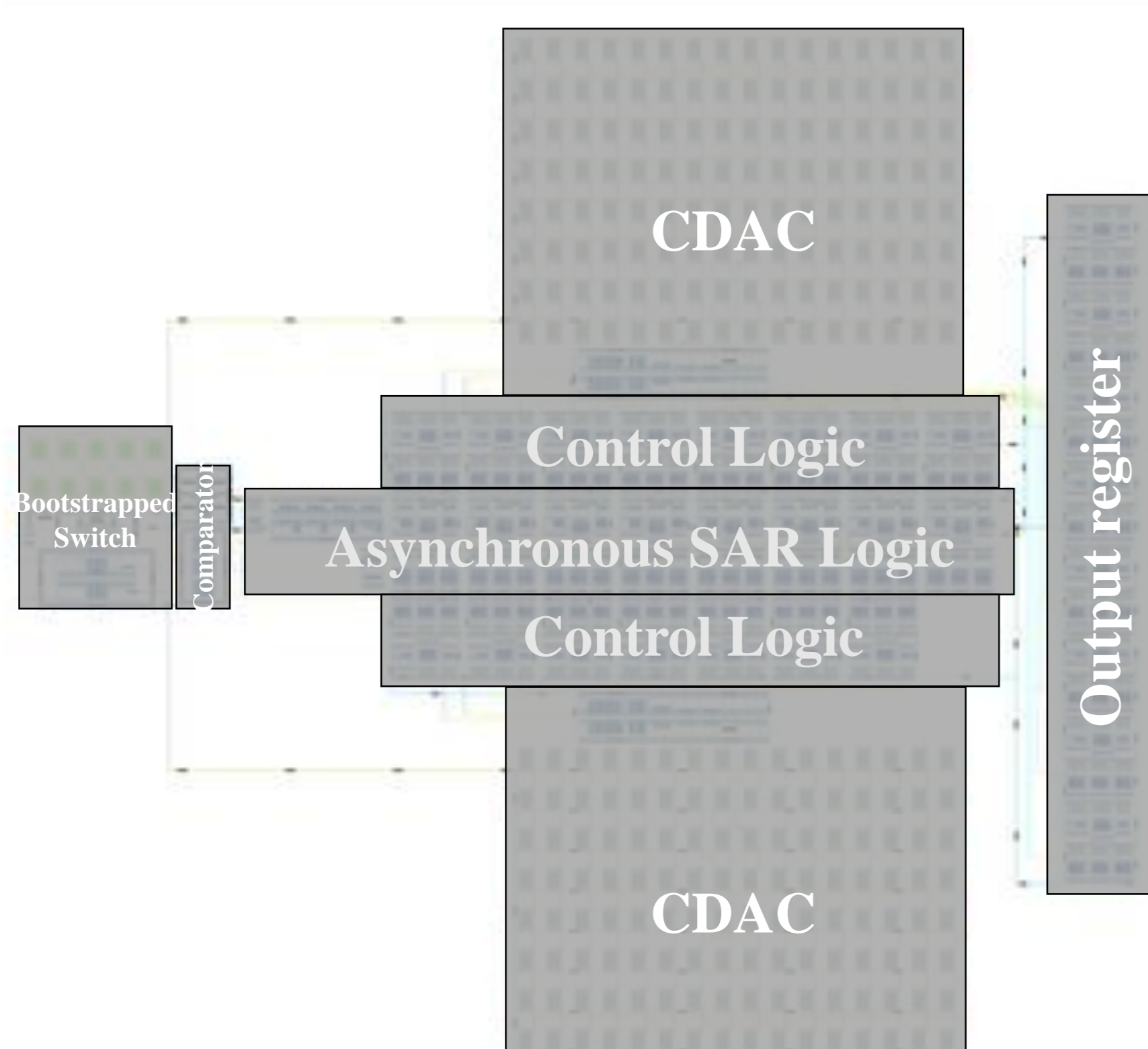


Fig. 6. Layout

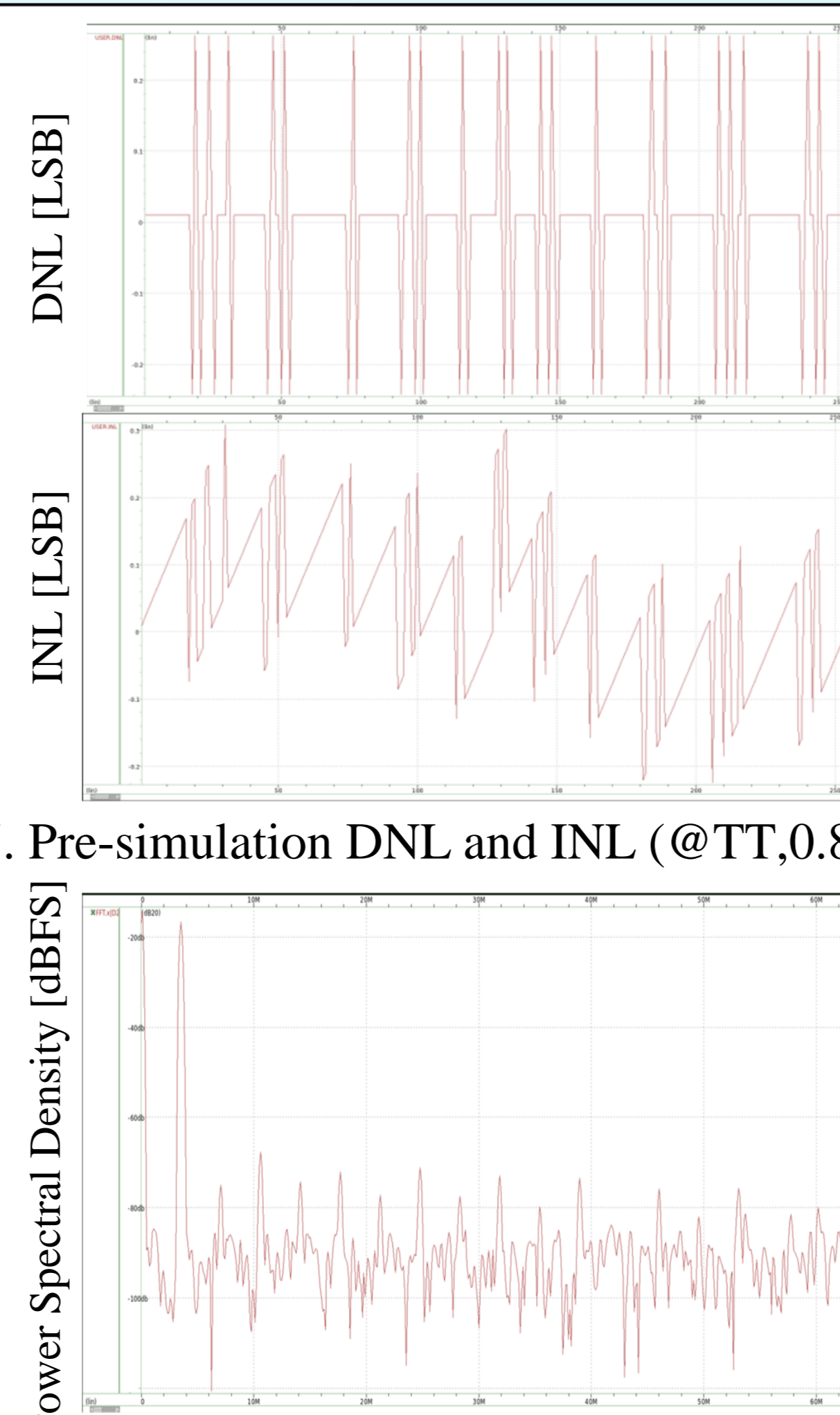


Fig. 7. Pre-simulation DNL and INL (@TT,0.8V,25°C)



Fig. 8. Pre-simulation 1024-point FFT spectrum at 125 MS/s (@TT,0.8V,25°C)

TABLE. 1 PERFORMANCE COMPARISON

	Pre-sim.		
	TT,0.8V,25°C	FF,0.88V,-25°C	SS,0.72V,125°C
Corner	TT,0.8V,25°C	FF,0.88V,-25°C	SS,0.72V,125°C
Sampling Rate (MS/s)	125	125	125
DNL(LSB)	0.262/-0.243	0.521/-0.493	0.513/-0.243
INL(LSB)	0.308/-0.225	0.627/-0.627	0.446/-0.194
SNR(dB)	53.7108	53.6583	54.0386
SNDR(dB)	44.2583	42.5132	44.9114
ENOB(bit)	7.0595	6.7696	7.1680
SFDR(dB)	53.9512	51.1031	54.5930