



IC設計所

Institute of Integrated Circuit Design



SUSTAINABLE DEVELOPMENT GOALS



使用 CMOS 16nm FinFET 製程設計適用於50Gb/s NRZ 矽光子接收機之轉阻放大器

學生：張家誠

指導教授：王朝欽 教授

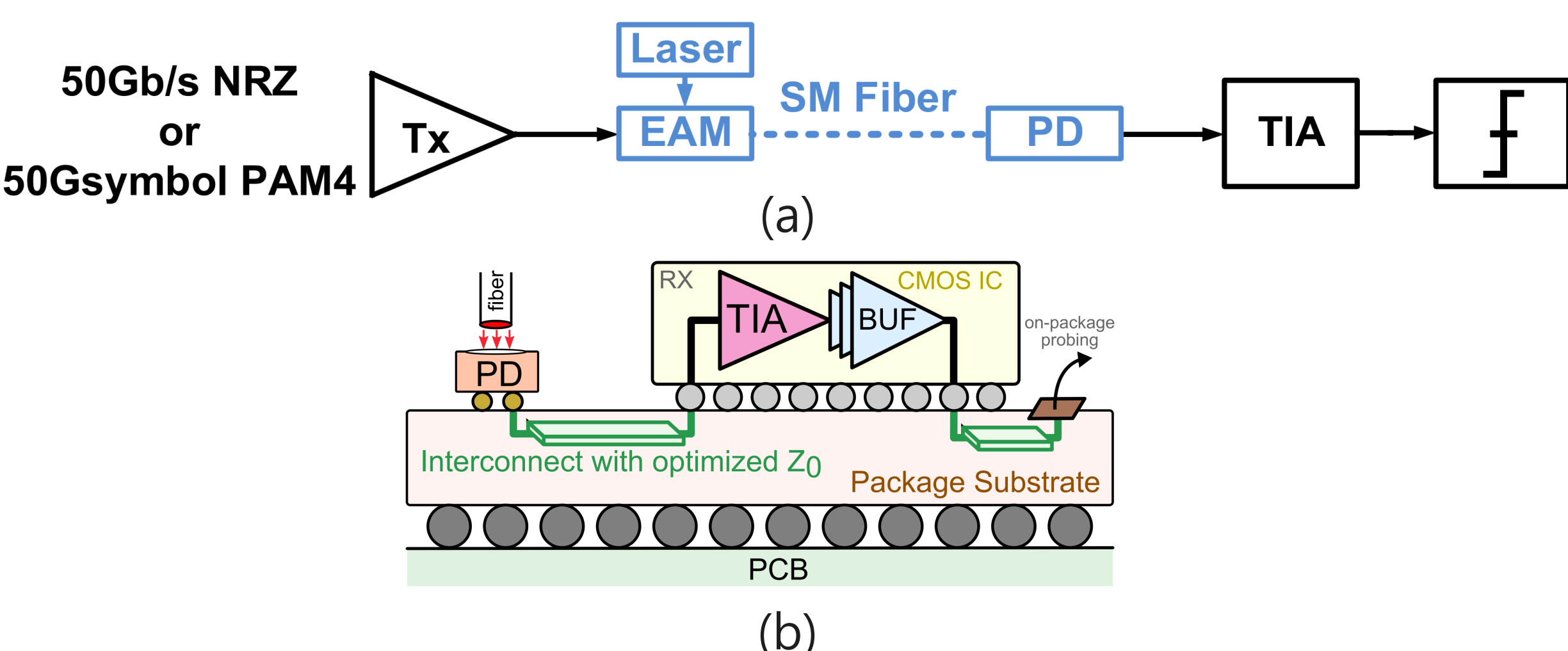
摘要

本研究提出一款以 16 nm FinFET 製程實現之 50 Gb/s NRZ 矽光子接收機轉阻放大器 (TIA)。為在 0.8 V 低電壓下兼顧增益與頻寬，電路採用三級自偏壓反相器串接，並以電阻回授搭配晶片內螺旋電感擴展頻寬；另透過反相器、RC 低通濾波器與 NMOS 電流汲取電晶體構成之直流偏移消除 (DCOC) 迴路吸收平均光電流，大幅提升直流輸入電流容許度，適用於資料中心之高速光通訊接收機。

動機與目的

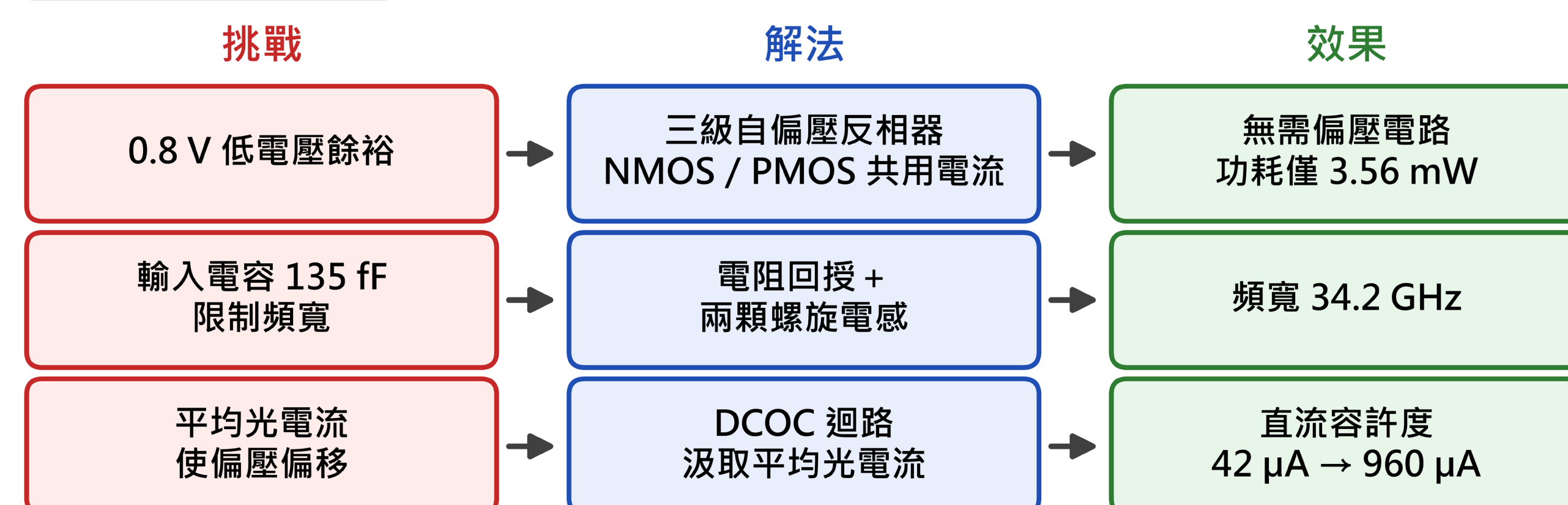
隨著 AI 與雲端運算蓬勃發展，資料中心對光鏈路頻寬的需求持續攀升，可與 CMOS 整合的矽光子接收機成為關鍵技術。轉阻放大器主導接收機的雜訊與頻寬，但在 16 nm 製程下面臨低電壓餘裕、輸入電容限制頻寬、平均光電流造成偏壓偏移三項挑戰。本專題目標為設計具「低電壓操作」、「高頻寬」與「大直流電流容許度」之轉阻放大器。

系統架構圖



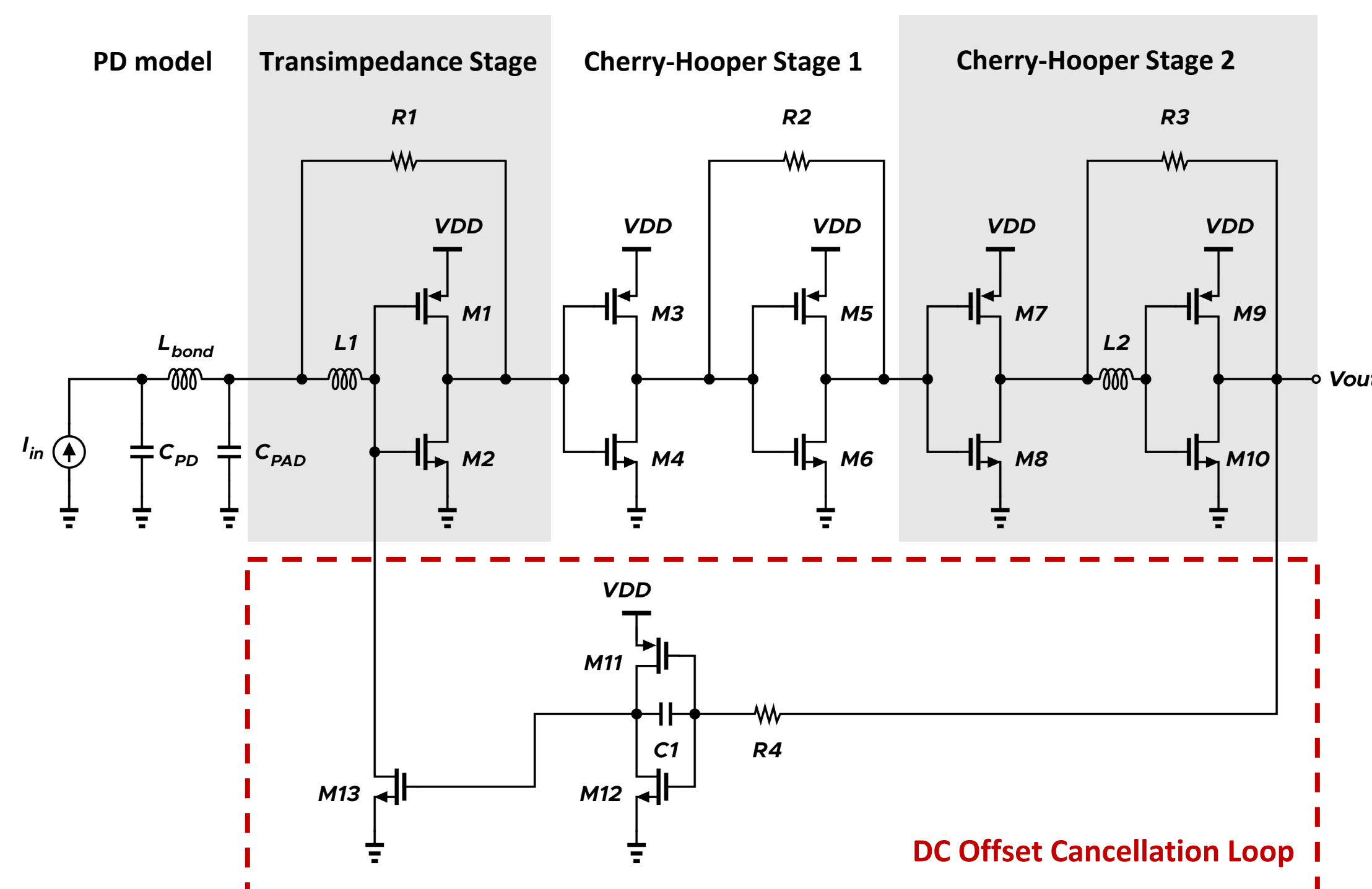
圖一、(a) 50 Gb/s NRZ 矽光子鏈路 (b) 光二極體與 CMOS TIA 共封裝之接收端

設計重點



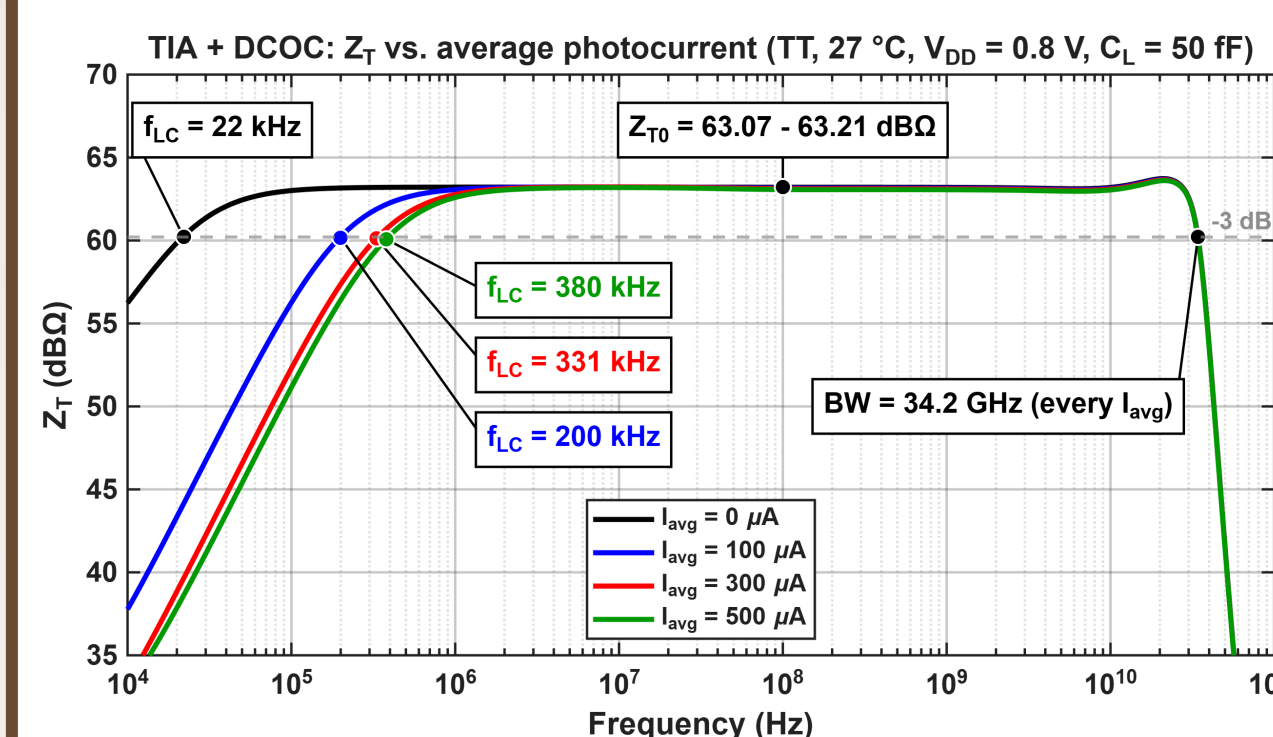
圖二、設計重點：挑戰 → 解法 → 效果

電路架構圖

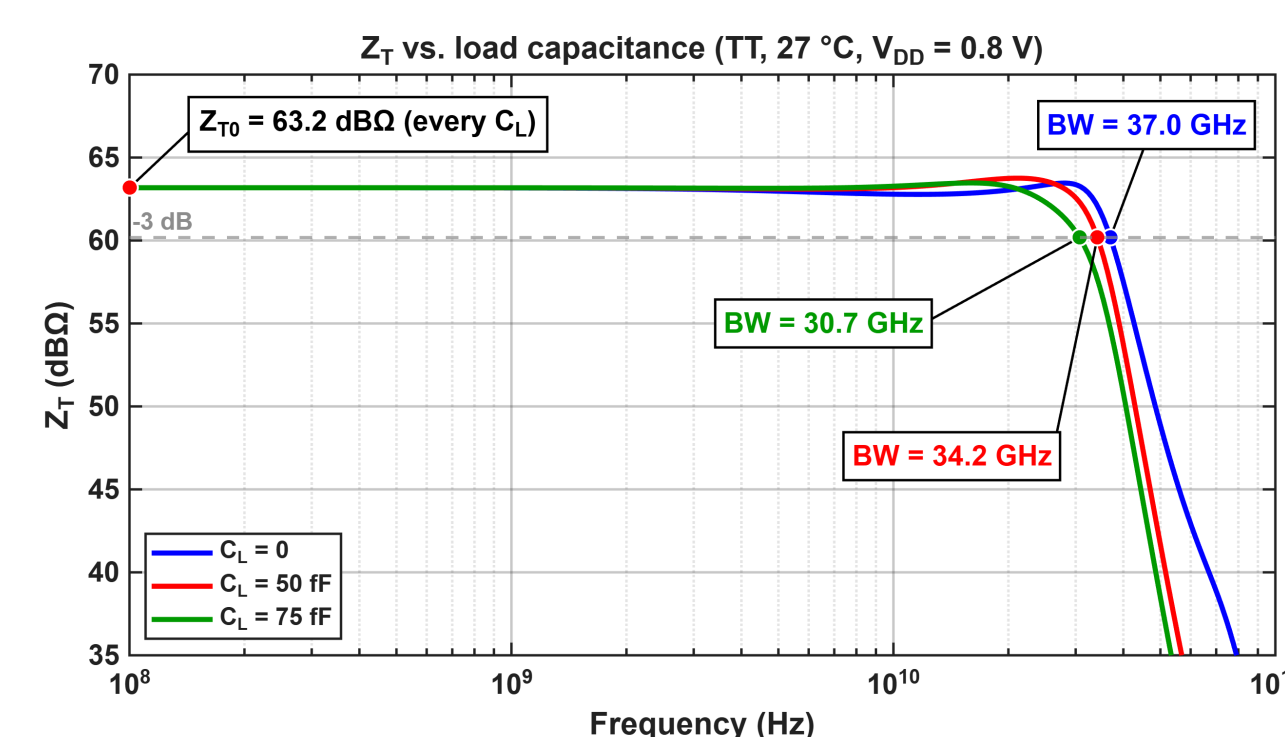


圖三、三級反相器轉阻放大器與直流偏移消除電路

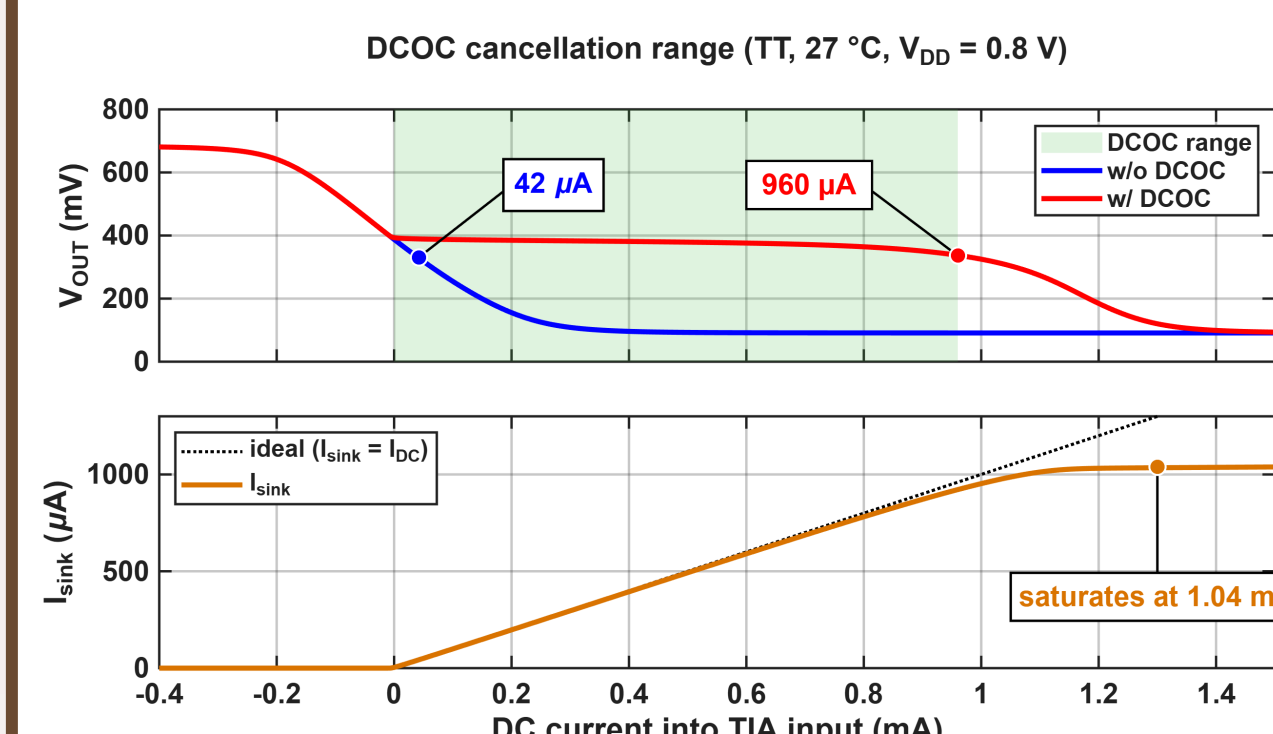
模擬結果



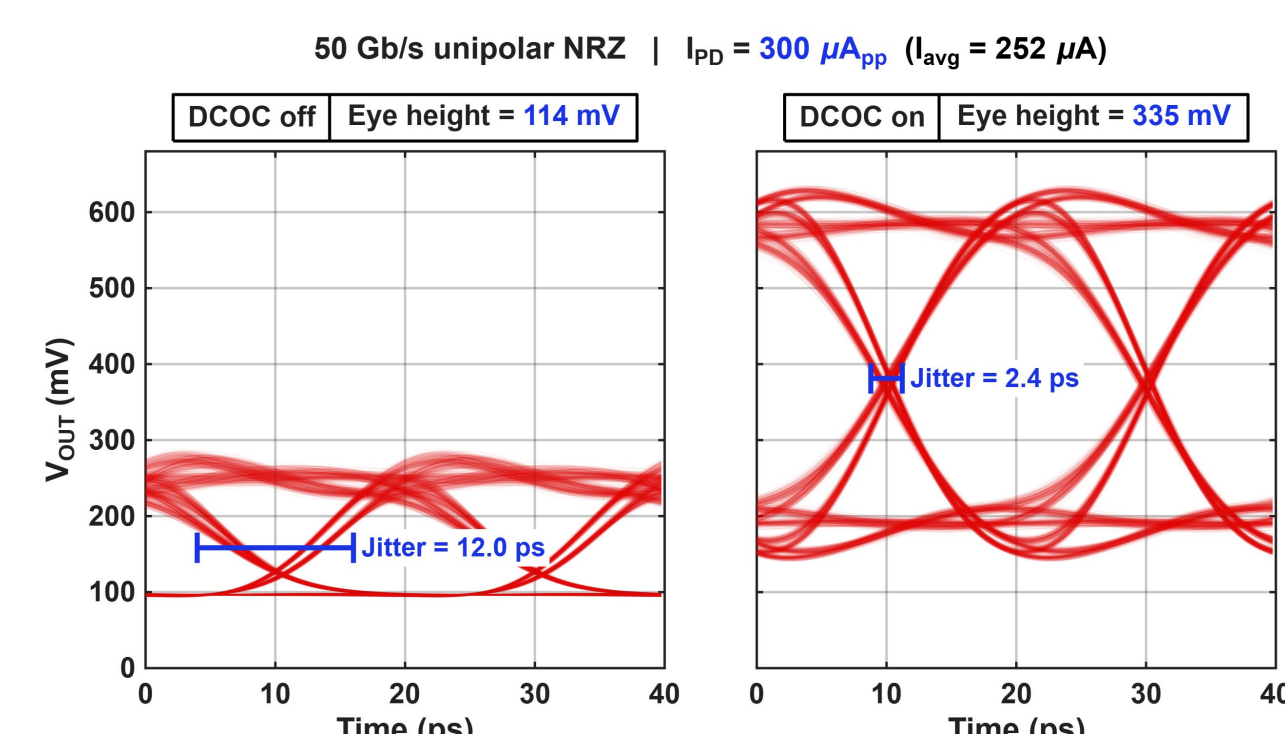
圖四、含 DCOC 之轉阻頻率響應



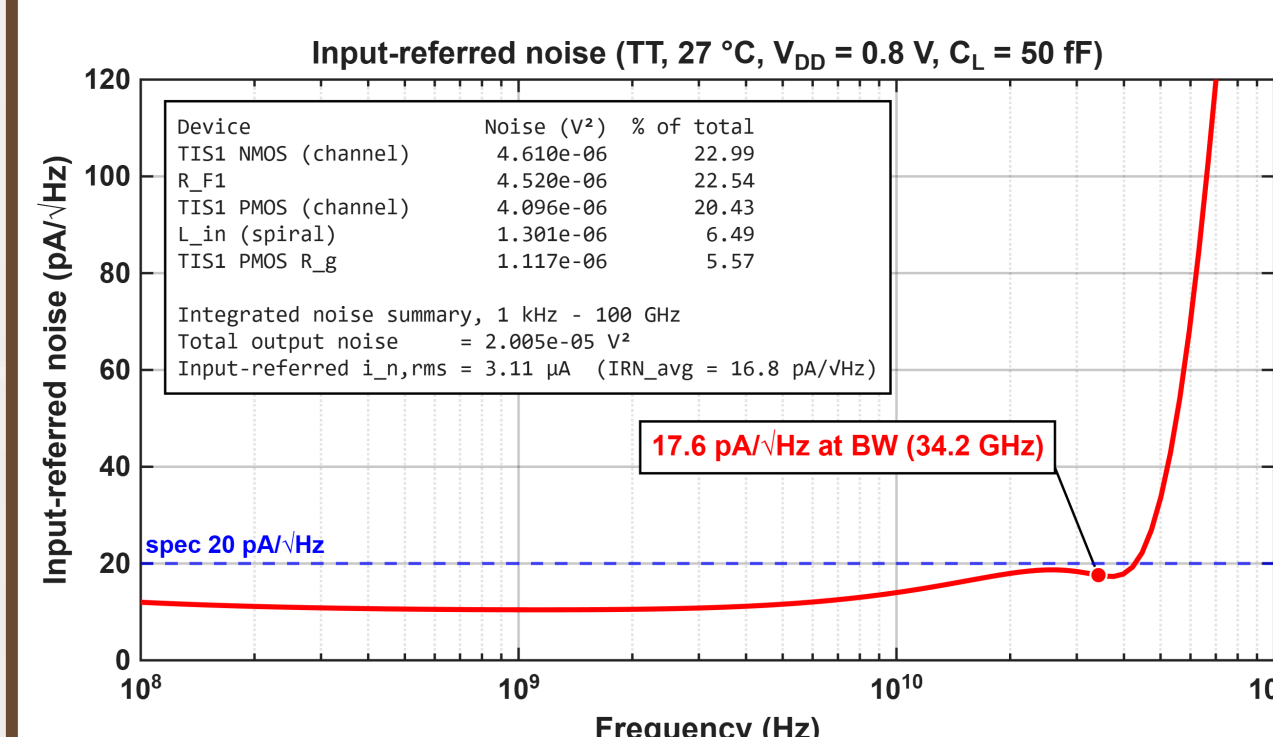
圖五、不同負載電容之轉阻頻率響應



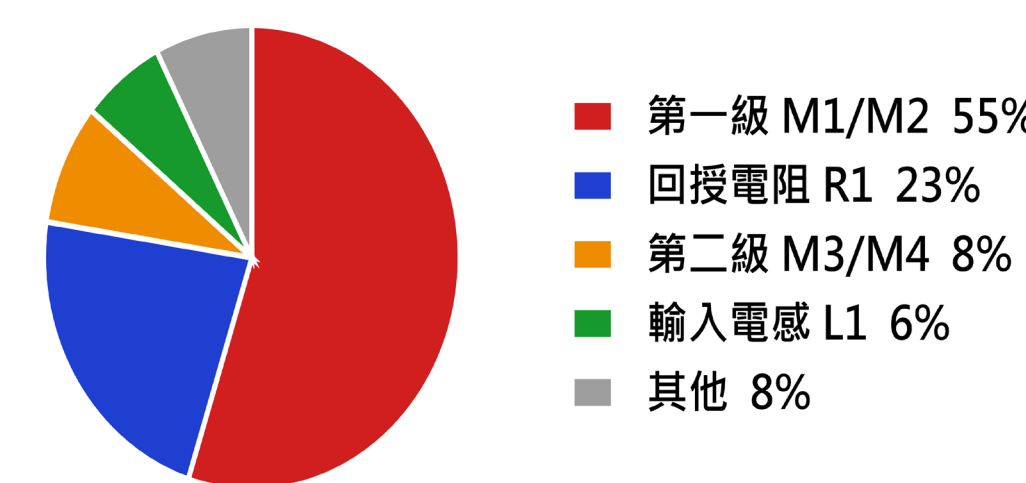
圖六、DCOC 直流電流消除範圍



圖七、50 Gb/s 眼圖 (DCOC 關 / 開)



圖八、輸入參考雜訊頻譜



圖九、雜訊來源分佈

規格比較表

Parameters	[1]	[2]	[3]	[4]	This work
Year	2019	2022	2022	2023	2026
Publication	JSSC	OJCAS	JSSC	JSSC	—
Implementation	Meas.	Post-sim	Meas.	Meas.	Pre-sim
Process	16 nm	16 nm	22 nm	16 nm	16 nm
Supply (V)	1.0–1.2	n/a	0.8	0.9	0.8
Data rate (Gb/s)	106 PAM-4	64 PAM-4	128 PAM-4	112 PAM-4	50 NRZ
C _{PD} (fF)	100	250	70	140	135
Z _{T0} (dBΩ)	78	58	59.3	63	63.1
BW (GHz)	27	17.4	45.5	32	34.2
IRN (pA/√Hz)	16.7	17.4	12.6	16.9	17.4
Power (mW)	60.8	19	11.2	47	3.56
Power covers	TIA+reg+buf	TIA+S2D+buf	TIA+driver	TIA+EQ+VGA	TIA+DCOC
FOM	3,527	727	3,748	962	13,730

FOM = $Z_T (\Omega) \times BW (\text{GHz}) / P (\text{mW})$
[1] K. R. Lakshmikum et al., IEEE JSSC, vol. 54, no. 11, 2019. [2] M. H. Kashani et al., IEEE OJCAS, vol. 3, 2022. [3] S. Daneshgar et al., IEEE JSSC, vol. 57, no. 5, 2022. [4] D. Patel et al., IEEE JSSC, vol. 58, no. 3, 2023. [5] M. Raj et al., IEEE JSSC, vol. 55, no. 4, 2020.